

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2003091988  
 PUBLICATION DATE : 28-03-03

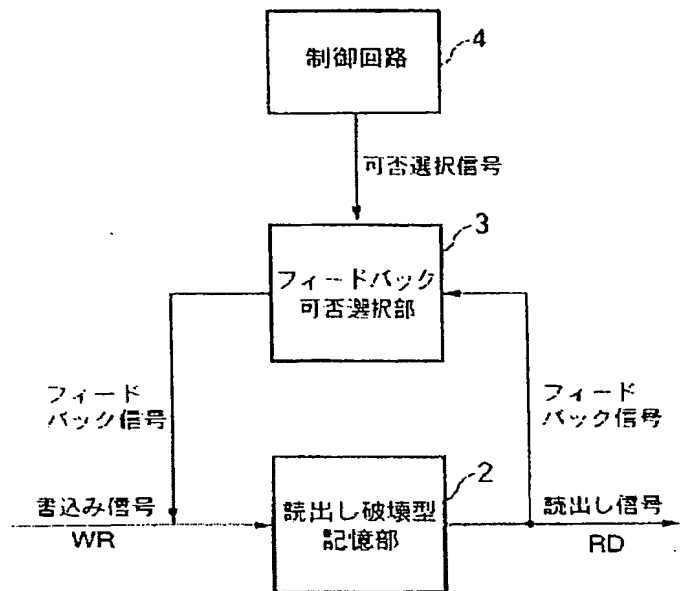
APPLICATION DATE : 20-09-01  
 APPLICATION NUMBER : 2001287468

APPLICANT : DAINIPPON PRINTING CO LTD;

INVENTOR : HIRANO TANITAKE;

INT.CL. : G11C 11/22 G06K 19/07

TITLE : SEMICONDUCTOR DEVICE,  
 FERROELECTRIC STORAGE DEVICE,  
 IC CARD, AND SYSTEM AND METHOD  
 USING THE SAME



1

**ABSTRACT :** PROBLEM TO BE SOLVED: To provide a semiconductor device in which data can be erased automatically after, data stored in a memory is read out once, and to provide a ferroelectric storage device, an IC card, and a system and method using the card.

**SOLUTION:** The IC card has the semiconductor device comprising a read-out destruction type storage section 2 for storing data in accordance with a write-in signal and storage of the data is made indeterminacy when the stored data is read out, a feedback aye and no selection section 3 for outputting a feedback signal to the read-out destruction type storage section 2 as a write-in signal comprising data in accordance with an aye and no selection signal when a read-out signal comprising data outputted from the read-out destruction type storage section 2 is inputted as a feedback signal, and a control circuit 4 for outputting the aye and no selection signal to the feedback aye and no selection section 3 by desired processing. The system uses the IC card to perform a predetermined processing.

COPYRIGHT: (C)2003,JPO

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-91988

(P2003-91988A)

(43) 公開日 平成15年3月28日 (2003.3.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	デマコード* (参考)
G 1 1 C 11/22	5 0 1	C 1 1 C 11/22	5 0 1 Q 5 B 0 3 5
			5 0 1 D
G 0 6 K 19/07		C 0 6 K 19/00	N

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2001-287468 (P2001-287468)

(22) 出願日 平成13年9月20日 (2001.9.20)

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 平野 晋健

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

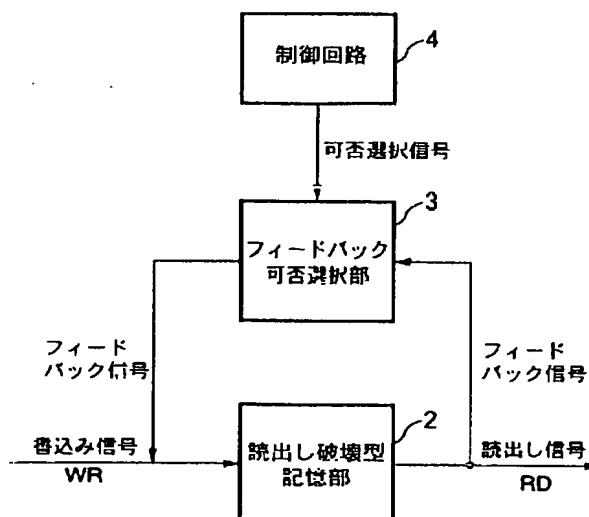
Fターム(参考) 5B035 BB09 CA29

(54) 【発明の名称】 半導体装置、強誘電体記憶装置、I Cカード、ならびにそれを用いたシステムおよびその方法

(57) 【要約】

【課題】メモリに記憶されたデータを一度だけ読出した後に、自動的にそのデータを消去可能な半導体装置、強誘電体記憶装置、I Cカード、ならびにそれを用いたシステムおよびその方法を提供する。

【解決手段】書き込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる読出し破壊型記憶部2と、読出し破壊型記憶部2から読出されたデータを含む読出し信号が、フィードバック信号として入力されると、可否選択信号に応じてフィードバック信号をデータを含む書き込み信号として、読出し破壊型記憶部2に出力する、または出力しないフィードバック可否選択部3と、所望の処理により可否選択信号をフィードバック可否選択部3に出力する制御回路4とを含む半導体装置を有するI Cカードを用いて、所定の処理を行うシステムを構成する。



## 【特許請求の範囲】

【請求項1】書込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる記憶手段と、前記記憶手段から読出された前記データを含む読出し信号が、フィードバック信号として入力されると、可否選択信号に応じて、前記フィードバック信号を前記データを含む書込み信号として前記記憶手段に出力する、または出力しないフィードバック可否選択手段と、所望の処理により、前記可否選択信号を前記フィードバック可否選択手段に出力する制御手段とを有する半導体装置。

【請求項2】書込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる強誘電体キャパシタと、前記強誘電体キャパシタから読出された前記データを含む読出し信号が、フィードバック信号として入力されると、可否選択信号に応じて、前記フィードバック信号を前記データを含む書込み信号として前記強誘電体キャパシタに出力する、または出力しない選択手段と、所望の処理により、前記可否選択信号を前記選択手段に出力する制御手段とを有する強誘電体記憶装置。

【請求項3】ビット線と、ワード線と、プレート線と、前記ワード線に印加された電圧に応じて導通状態または非導通状態に保持されるトランジスタと、一方の電極が前記トランジスタに接続され、他方の電極が前記プレート線に接続された強誘電体キャパシタと、入力された制御信号および選択信号に応じて前記強誘電体キャパシタにデータを保持または読出す制御手段とを有する強誘電体記憶装置であって、前記制御手段は、前記制御信号に書込み信号が含まれている場合には、前記ワード線に所定の電圧を印加し前記トランジスタをオン状態にして、前記ビット線と前記強誘電体キャパシタを導通状態にし、前記ビット線または前記プレート線に所定の電圧を印加して前記データを書込み、前記制御信号に読出し信号が含まれ前記選択信号に再書込み信号が含まれている場合には、前記ビット線を基準電位に印加しワード線に所定の電圧を印加して前記強誘電体キャパシタから前記ビット線に前記データを読出し、前記強誘電体キャパシタに前記データを再書込みし、前記制御信号に読出し信号が含まれ、前記選択信号に再書込み信号が含まれていない場合には、前記ビット線を基準電位に印加し、ワード線に所定の電圧を印加して前記強誘電体キャパシタから前記ビット線に前記データを読出す強誘電体記憶装置。

【請求項4】CPUと、メモリと、通信インターフェイスとを有し、前記通信インターフェイスを介して情報処理装置とデータの授受を行うICカードであって、前記メモリは、書込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記デ

タの記憶が不確定になる強誘電体キャパシタと、前記強誘電体キャパシタから読出された前記データを含む読出し信号が、フィードバック信号として入力されると、前記CPUから出力された可否選択信号に応じて、前記フィードバック信号を前記データを含む書込み信号として前記強誘電体キャパシタに出力する、または出力しない選択手段とを有するICカード。

【請求項5】所定のデータを提供する情報処理装置、ならびに前記情報処理装置とデータの授受を行う通信インターフェイスと、CPUと、メモリとを含むICカードとを有するシステムであって、

前記メモリは、書込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる強誘電体キャパシタと、前記強誘電体キャパシタから読出された前記データを含む読出し信号が、フィードバック信号として入力されると、前記CPUから出力された可否選択信号に応じて、前記フィードバック信号を前記データを含む書込み信号として前記強誘電体キャパシタに出力する、または出力しない選択手段とを有するシステム。

【請求項6】所定のデータを提供する情報処理装置、ならびに前記情報処理装置とデータの授受を行う通信インターフェイスと、CPUと、およびメモリとを含むICカードとを有し、前記メモリは、書込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる強誘電体キャパシタと、前記強誘電体キャパシタから読出された前記データを含む読出し信号が、フィードバック信号として入力されると、前記CPUから出力された可否選択信号に応じて、前記フィードバック信号を前記データを含む書込み信号として前記強誘電体キャパシタに出力する、または出力しない選択手段とを有するシステムの方法であって、

前記ICカードでは、前記通信インターフェイスは、前記情報処理装置とデータを送受信し、前記CPUは、前記通信インターフェイスで受信された前記データに応じて所望の処理を行い、前記処理結果に応じて前記書込み信号を出力して前記メモリにデータを書込み、前記読出し信号および再書込みさせる可否選択信号を出力して前記メモリから前記書込まれたデータを読出して再書込みし、または、前記読出し信号および再書込みさせない可否選択信号を出力して前記メモリから前記書込まれたデータを読出し、再書込みしないシステムの方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置、強誘電体記憶装置、それを内蔵したICカード、ならびにそれを用いたシステムおよびその方法に関するものである。

## 【0002】

【従来の技術】集積技術等の発展につれて、CPU (Central processing unit) とメモリを内蔵したICカードが実用化され、注目を集めている。

【0003】上述のICカードのメモリは、通常、読出し専用メモリROM (Read only memory) やRAM (Random access memory) 等を含む。

【0004】また、上述のメモリを実現する構造の中には、メモリセルが保持している値を読出した際、その記憶していた内容が壊れてしまうものがある。たとえば、強誘電体の分極の状態によりデータを記憶するFeRAM (Ferro-electric random access memory) や、DRAM (Dynamic random access memory) などが知られている。

【0005】上述のメモリは、書き込み完了までの時間が短い、つまり、高速に書き込みを行うことが可能であることや、集積率が高いために同じ面積のチップに大容量のメモリを搭載可能であることや、消費電力が低い等の特徴を持つ。

【0006】通常、上述したメモリでは、読出された直後にそのデータがメモリに再書き込みされることで、同じデータの値を保持している。これはデータの破壊を防ぐのではなく、データが破壊された直後に同じデータの値を書込むことで修復していると言える。

## 【0007】

【発明が解決しようとする課題】しかし、上述したメモリでは、たとえば、データが読出された直後に、そのデータの再書き込みが行われるために、ある1つのセルに対して書き込みが頻繁に発生する場合が知られている。

【0008】たとえば、具体的には、FeRAM上で、CPUまたはヴァーチャルマシン (VM) により実行可能なプログラムが実行された場合に、プログラムのコードのフェッチによる読出しが多発する。これは、全て書き込みを伴うことになる。このため、上述したFeRAMでは、繰り返し書き込み動作を行い、強誘電体の分極を繰り返し行うために、強誘電体の書き込み耐久性が悪くなるという問題点がある。

【0009】ところで、従来、データ記録用強誘電体キャパシタからデータを読出し、その値を判別する際に参照される参照電圧を供給するダミーセルを含むFeRAMが知られている。上述したFeRAMでは、たとえば、ビット線にデータ記録用強誘電体キャパシタを含むデータ記録用セルが複数個接続され、そのビット線に1個のダミーセルが接続されている。たとえば、このダミーセルは、データ記録用強誘電体キャパシタと同様な構造を有し、強誘電体キャパシタの分極状態の変化により参照用電圧を発生する。また、ダミーセルは参照用電圧が読み出された場合には、データ記録用強誘電体キャパシタと同様に書き込み動作が必要である。

【0010】そして、上述のFeRAMでは、たとえ

ば、ビット線に配置されたデータ記録用セルにデータを書込みまたは読出す毎に、そのビット線に接続されたダミーセルが読出されて参照電圧が参照され、そして、データ記録用セルの読出および書込動作後に、ダミーセルに参照用データが再書き込みされるため、このダミーセルの書替え回数が、通常データ記録用セルよりも数百倍と多くなる場合があり、そのダミーセルの強誘電体の書換え可能な寿命が、通常のセルに比べて、たとえば2桁も短くなるという問題点がある。

【0011】ところで、近年、たとえば、サービス業や産業界において、さまざまな用途にICカードが用いられている。

【0012】このICカードを使用する際に、一度だけメモリに記憶されたデータを読出した後に、そのデータを消去したい場合がある。

【0013】たとえば、ICカードとリーダライタおよびホストコンピュータ間で暗号化通信を行う際に、一度だけ暗号鍵を使用した後、セキュリティのために、その暗号鍵を消去したい場合や、ICカードを製造する際に書込まれたテスト用のパラメータを消去したい場合などがある。

【0014】しかし、上述した従来のICカードでは、自動的に記憶されたデータを消す機能がない。このため、たとえば、上述したような場合において、メモリに記憶されたデータを1度だけ読出した後、そのデータが自動的に消去される機能を有するICカードが望まれている。

【0015】本発明は、かかる事情に鑑みてなされたものであり、その目的は、メモリに記憶されたデータを一度だけ読出した後に、自動的にそのデータを消去可能な半導体装置、強誘電体記憶装置、ICカード、ならびにそれを用いたシステムおよびその方法を提供することにある。

【0016】また、本発明の他の目的は、強誘電体キャパシタの書替え回数の寿命を伸ばすことができる半導体装置、強誘電体記憶装置、ICカード、ならびにそれを用いたシステムおよびその方法を提供することにある。

## 【0017】

【課題を解決するための手段】前記目的を達成するために、本発明の半導体装置は、書き込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる記憶手段と、前記記憶手段から読出された前記データを含む読出し信号が、フィードバック信号として入力されると、可否選択信号に応じて、前記フィードバック信号を前記データを含む書き込み信号として前記記憶手段に出力する、または出力しないフィードバック可否選択手段と、所望の処理により、前記可否選択信号を前記フィードバック可否選択手段に出力する制御手段とを有する。

【0018】さらに、前記目的を達成するために、本発

明の強誘電体記憶装置は、書込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる強誘電体キャパシタと、前記強誘電体キャパシタから読出された前記データを含む読出し信号が、フィードバック信号として入力されると、可否選択信号に応じて、前記フィードバック信号を前記データを含む書込み信号として前記強誘電体キャパシタに出力する、または出力しない選択手段と、所望の処理により、前記可否選択信号を前記選択手段に出力する制御手段とを有する。

【0019】さらに、前記目的を達成するために、本発明の強誘電体記憶装置は、ビット線と、ワード線と、プレート線と、前記ワード線に印加された電圧に応じて導通状態または非導通状態に保持されるトランジスタと、一方の電極が前記トランジスタに接続され、他方の電極が前記プレート線に接続された強誘電体キャパシタと、入力された制御信号および選択信号に応じて前記強誘電体キャパシタにデータを保持または読出す制御手段とを有する強誘電体記憶装置であって、前記制御手段は、前記制御信号に書込み信号が含まれている場合には、前記ワード線に所定の電圧を印加し前記トランジスタをオン状態にして、前記ビット線と前記強誘電体キャパシタを導通状態にし、前記ビット線または前記プレート線に所定の電圧を印加して前記データを書込み、前記制御信号に読出し信号が含まれ前記選択信号に再書込み信号が含まれている場合には、前記ビット線を基準電位に印加しワード線に所定の電圧を印加して前記強誘電体キャパシタから前記ビット線に前記データを読出し、前記強誘電体キャパシタに前記データを再書込みし、前記制御信号に読出し信号が含まれ、前記選択信号に再書込み信号が含まれていない場合には、前記ビット線を基準電位に印加し、ワード線に所定の電圧を印加して前記強誘電体キャパシタから前記ビット線に前記データを読出す。

【0020】さらに、前記目的を達成するために、本発明のICカードは、CPUと、メモリと、通信インターフェイスとを有し、前記通信インターフェイスを介して情報処理装置とデータの授受を行うICカードであって、前記メモリは、書込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる強誘電体キャパシタと、前記強誘電体キャパシタから読出された前記データを含む読出し信号が、フィードバック信号として入力されると、前記CPUから出力された可否選択信号に応じて、前記フィードバック信号を前記データを含む書込み信号として前記強誘電体キャパシタに出力する、または出力しない選択手段とを有する。

【0021】さらに、前記目的を達成するために、本発明のシステムは、所定のデータを提供する情報処理装置、ならびに前記情報処理装置とデータの授受を行う通信インターフェイスと、CPUと、メモリとを含むIC

カードとを有するシステムであって、前記メモリは、書込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる強誘電体キャパシタと、前記強誘電体キャパシタから読出された前記データを含む読出し信号が、フィードバック信号として入力されると、前記CPUから出力された可否選択信号に応じて、前記フィードバック信号を前記データを含む書込み信号として前記強誘電体キャパシタに出力する、または出力しない選択手段とを有する。

【0022】さらに、前記目的を達成するために、本発明のシステムの方法は、所定のデータを提供する情報処理装置、ならびに前記情報処理装置とデータの授受を行う通信インターフェイスと、CPUと、およびメモリとを含むICカードとを有し、前記メモリは、書込み信号に応じてデータを記憶し、前記記憶しているデータが読出された場合には、前記データの記憶が不確定になる強誘電体キャパシタと、前記強誘電体キャパシタから読出された前記データを含む読出し信号が、フィードバック信号として入力されると、前記CPUから出力された可否選択信号に応じて、前記フィードバック信号を前記データを含む書込み信号として前記強誘電体キャパシタに出力する、または出力しない選択手段とを有するシステムの方法であって、前記ICカードでは、前記通信インターフェイスは、前記情報処理装置とデータを送受信し、前記CPUは、前記通信インターフェイスで受信された前記データに応じて所望の処理を行い、前記処理結果に応じて前記書込み信号を出力して前記メモリにデータを書込み、前記読出し信号および再書込みさせる可否選択信号を出力して前記メモリから前記書込まれたデータを読出して再書込みし、または、前記読出し信号および再書込みさせない可否選択信号を出力して前記メモリから前記書込まれたデータを読出し、再書込みしない。

【0023】

【発明の実施の形態】図1は、本発明の一実施の形態に係る半導体装置を説明するための概略図である。

【0024】本実施の形態に係る半導体装置1は、たとえば、図1に示したように、読出し破壊型記憶部2、フィードバック可否選択部3、および制御回路4を含む。

【0025】読出し破壊型記憶部2は、フィードバック可否選択部3と電気的に接続されている。また、読出し破壊記憶部2は、不図示の書込み回路および読出し回路に接続されている。

【0026】読出し破壊型記憶部2は、たとえば、不図示の書込み回路から出力された書込み信号WRに応じたデータを記憶する。

【0027】また、読出し破壊型記憶部2は、記憶しているデータが、不図示の読出し回路により読出されると、そのデータを読出し信号RDとして出力する。

【0028】また、読出し破壊型記憶部2では、記憶さ

れているデータが読出された場合には、記憶しているデータが破壊された状態になる。

【0029】フィードバック可否選択部3は、制御回路4から出力された再書込みに関する可否選択信号に応じて、読出し破壊型記憶部2から出力された読出し信号RDをフィードバック信号として、読出し破壊型記憶部2に出力するか、またはフィードバック信号を出力しない。

【0030】具体的には、フィードバック可否選択部3は、たとえば、再書込みさせる可否選択信号が入力された場合には、読出し破壊型記憶部2から出力された読出し信号RDを、フィードバック信号として、読出し破壊型記憶部2に出力する。読出し破壊型記憶部2では、フィードバック可否選択部3により読出し信号RDが入力されると、その信号に応じて、先に読出されたデータを記憶する。

【0031】また、フィードバック可否選択部3は、たとえば、再書込みさせない可否選択信号が入力された場合には、読出し破壊型記憶部2から出力された読出し信号RDを、読出し破壊型記憶部2に出力しない。読出し破壊型記憶部2では、データが読出され、フィードバック可否選択部3に再書込みさせない可否選択信号が入力された場合には、フィードバック可否選択部3からフィードバック信号が入力されないために、その読出されたデータが保持されずに破壊される。

【0032】制御回路4は、たとえば、不図示のスイッチが操作された場合に、その操作に応じて行われる処理などの、所望の処理結果に応じて、再書込みさせるまたは再書込みさせない可否選択信号を、フィードバック可否選択部3に出力する。

【0033】上述した構成の半導体装置1の動作は、たとえば、読出し破壊型記憶部2では、不図示の書込み回路により書込み信号WRが入力されると、その書込み信号WRに応じたデータを記憶する。そして、読出し破壊型記憶部2では、不図示の読出し回路により記憶されているデータが読出し信号RDとして読出される。その際に読出し破壊型記憶部2では記憶されていたデータが破壊される。そして、フィードバック可否選択部3では、制御回路4から出力された再書込みさせる可否選択信号が入力されると、その読出し信号RDがフィードバック信号として、読出し破壊型記憶部2に出力され、そのフィードバック信号に応じて読出されたデータと同じデータが読出し破壊型記憶部2に再書込みされる。また、再書込みさせない可否選択信号がフィードバック可否選択部3に入力された場合には、読出し信号RDが読出し破壊型記憶部2にフィードバックされずに、読出し破壊型記憶部2に記憶され読出されたデータが破壊された状態になる。

【0034】上述の構成の本実施の形態に係る半導体装置では、可否選択信号により読出したデータを再書込み

する動作または再書込みしない動作を選択可能であるので、読出し破壊型記憶部2に記憶されたデータを一度だけ読出した後に、そのデータを消去、または再書込みしてデータを保持することができる。

【0035】また、半導体装置では、再書込みさせる可否選択信号が入力されることにより、通常の記憶装置としても使用することができる。

【0036】図2は、図1の半導体装置の一実施の形態の第1の具体例の強誘電体記憶装置を示す図である。

【0037】半導体装置1としての強誘電体記憶装置1aは、たとえば、図2に示すように、強誘電体キャパシタ5、トランジスタ6、トランジスタ7、センスアンプ8、ダミーセル9、制御回路10、ビット線BL、ワード線WL、およびプレート線PLを有する。

【0038】ビット線BLには、制御回路10、トランジスタ6のドレイン、トランジスタ7のドレイン、およびセンスアンプ8が接続されている。ワード線WLには、制御回路10およびトランジスタ6のゲートが接続されている。プレート線PLには、制御回路10および強誘電体キャパシタ5の一方の電極が接続されている。強誘電体キャパシタ5の他方の電極には、トランジスタ6のソースが接続されている。トランジスタ7のゲートには、制御回路10が接続され、トランジスタ7のソースは基準電位に接続されている。また、センスアンプ8には、制御回路10およびダミーセル9が接続されている。また、ダミーセル9には制御回路10が接続されている。

【0039】強誘電体キャパシタ5は、たとえば、常温において自発誘電分極（以後、自発分極とも言う）する。

【0040】図3は、図2の強誘電体キャパシタの分極電荷量Qの電圧特性の一例を示す図である。

【0041】強誘電体キャパシタ5は、たとえば、図3に示すように、電界により誘起された分極が電界を除去しても自発分極の存在によって消滅されず、一定量（c, a状態）を維持している。本強誘電体記憶装置1aは、そのc, a状態をそれぞれ“0”データ、“1”データに対応させて記憶素子として応用している。

【0042】トランジスタ6は、強誘電体キャパシタ5に所定の電圧を印加するか否かのスイッチの働きを有し、たとえば、制御回路10によりワード線WLに所定の電圧が印加されるとオン状態になり、強誘電体キャパシタ5にビット線BLとプレート線PLの電位差の電圧を印加する。また、トランジスタ6は、制御回路10によりワード線WLに所定の電圧より低い電圧が印加されると、オフ状態になり、強誘電体キャパシタ5に電圧を印加しない。

【0043】トランジスタ7は、制御回路10によりトランジスタ7のゲートに電圧が印加されると、ビット線BLの電位を基準電位に接続する。

【0044】センスアンプ8は、強誘電体キャパシタ5から自発分極の反転により出力された電荷により生じた電圧が、所定の電圧、たとえば、ダミーセル9の参照電圧よりも高い場合にはあらかじめ決められた電圧になるように増幅し、また、参照電圧よりも低い場合には基準電位まで電圧を下げる。また、センスアンプ8は、制御回路10にビット線BLの電圧を出力する。

【0045】ダミーセル9は、センスアンプ8に参照電圧を出力する。たとえば、ダミーセル9は、強誘電体キャパシタ5により出力された電荷により生じたビット線BLとプレート線PLの電圧により示されるデータに対する基準電圧を出力する。たとえば、ダミーセル9は、上述した強誘電体キャパシタおよびトランジスタにより構成されている。

【0046】制御回路10は、たとえば、不図示のCPUから出力されたアドレス信号 $D_A$ 、データ $D_{IN}$ 、および書込み命令を含む制御信号CTLに応じて、後述する処理を行いアドレス信号 $D_A$ で指定された強誘電体キャパシタ5に対してデータ $D_{IN}$ を記憶させる。

【0047】また、制御回路10は、たとえば、不図示のCPUから出力されたアドレス信号 $D_A$ 、読出し命令を含む制御信号CTL、および再書込みさせる命令または再書込みさせない命令を含む選択信号SSに応じて、後述する処理を行い、強誘電体キャパシタ5からデータを読み出して出力データ $D_{OUT}$ として出力し、そのデータを再書込みしてデータを保持、または再書込みしないでデータを強誘電体キャパシタ5にデータを保持させない。

【0048】次に、上述した強誘電体記憶装置1aのデータを書込む動作を、制御回路10の動作を中心に説明する。

【0049】まず、制御回路10からワード線WLにハイレベルの電圧が印加され、トランジスタ6がオン状態になる。

【0050】そして、たとえば制御回路10に入力されたデータ $D_{IN}$ が"0"データの場合には、ビット線BLを0V、プレート線PLを $V_{CC}$ に印加して、強誘電体キャパシタ5を分極させて、データを記憶させる。また、制御回路10に入力されたデータ $D_{IN}$ が"1"データの場合には、ビット線BLを $V_{CC}$ 、プレート線PLを0Vに印加して、強誘電体キャパシタ5を分極させてデータを記憶させる。そして、制御回路10によりワード線WLにローレベルの電圧が印加されて、トランジスタ6がオフ状態になり、強誘電体キャパシタ5にデータが保持される。

【0051】次に、上述した強誘電体記憶装置1aのデータを読み出す場合の動作を、制御回路10の動作を中心に、図4を参照しながら説明する。

【0052】図4は、図2の強誘電体記憶装置の強誘電体キャパシタからデータを読み出す場合のタイミングの一

実施の形態を示す図である。

【0053】まず、再書込みを行う場合には、選択信号SSがローレベルに設定されて制御回路10に入力される。

【0054】時間 $t_0$ では、制御回路10により、ビット線BLが基準電位にプリチャージされる。

【0055】時間 $t_1$ では、制御回路10によりワード線WLに所定の電圧が印加され、トランジスタ6がオン状態なる。

【0056】時間 $t_2$ では、制御回路10によりプレート線PLに電圧 $V_{CC}$ が印加され、所定の電圧が強誘電体キャパシタ5に印加されることで、強誘電体キャパシタ5に記憶されているデータがビット線BLに読出される。たとえば、強誘電体キャパシタ5が"0"データを保持していた場合には、分極反転しない比較的小さな電荷移動( $j_0$ )によってビット線BLが $\Delta V_L$ にチャージアップされ、他方、強誘電体キャパシタ5が"1"データを保持していた場合には、分極反転することにより大きな電荷移動( $j_1$ )が起こりビット線BLが $\Delta V_H$ にチャージアップされる。その結果、強誘電体キャパシタ5に"1"データが記憶されていた場合には、そのデータが破壊される。

【0057】時間 $t_3$ では、制御回路10により、センスアンプ8がオンされて、ダミーセル9により上述の $\Delta V_L$ と $\Delta V_H$ の間に設定された参照電圧 $V_{ref}$ よりも高い電圧は $V_{CC}$ に、参照電圧 $V_{ref}$ よりも低い電圧は0V(ボルト)に増幅される。つまり、センスアンプ8により、強誘電体キャパシタ5に"1"データが記憶されていた場合にはビット線BLが $V_{CC}$ に、"0"データが記憶されていた場合にはビット線BLが0Vに増幅される。

【0058】そして、増幅された後、時間 $t_4$ では、センスアンプ8および制御回路10を介して、その読出された電圧が出力される。

【0059】時間 $t_5$ では、読出されたデータを強誘電体キャパシタ5に再書込みさせる場合には、選択信号SSがローレベルに設定されて制御回路10に入力されており、制御回路10ではプレート線PLが基準電位に設定され、データが強誘電体キャパシタ5に再書込みされる。

【0060】上述の動作により"1"データが読出された場合には、ビット線BLが電圧 $V_{CC}$ であり、プレート線PLが0Vに設定されたので、強誘電体キャパシタ5に電圧 $V_{CC}$ のバイアスがかかり、それに応じて強誘電体キャパシタ5が分極して、"1"データが書込まれる。また、"0"データが読出された場合には、ビット線BLが電圧0Vであり、プレート線PLが0Vに設定されたので、強誘電体キャパシタ5には0Vのバイアスがかかり、"0"データが書込まれる。

【0061】そして、時間 $t_6$ では、ワード線WLがロ



ーレベルに設定され、強誘電体キャパシタ5にデータが保持される。

【0062】そして、時間 $t_7$ では、センスアンプ8がオフ状態に設定され、ビット線BLが0Vになる。

【0063】また、再書込みを行わない場合には、選択信号SSがハイレベルに設定されて制御回路10に入力される。

【0064】そして、時間 $t_0$ ～時間 $t_4$ においては、制御回路10により上述した動作と同じ動作が行われる。

【0065】そして、時間 $t_5$ においては、制御回路10では、ハイレベルの選択信号SSが入力されると、トランジスタ制御信号Stがトランジスタ6のゲートに入力される。たとえば、ハイレベルの電圧がトランジスタ6のゲートに入力される。そして、トランジスタ6がオン状態になり、ビット線BLが基準電位に設定される。

【0066】そして、ビット線BLが基準電位に設定され、プレート線PLが $V_{cc}$ に設定されるので、強誘電体キャパシタ5に電圧 $V_{cc}$ のバイアスがかかり、“0”データが記憶される。上述した場合には、ビット線BLが基準電位に設定されるために、強誘電体キャパシタ5に記憶されていたデータが、“1”データの場合であっても、“1”データが強誘電体キャパシタ5にフィードバックされて記憶されることがなく、“0”データが記憶される。また、“0”データが読出された場合には、ビット線BLの電圧が0Vなので、強誘電体キャパシタ5に“0”データが記憶される。

【0067】時間 $t_6$ においては、ワード線WLがローレベルに設定され、強誘電体キャパシタ5に記憶された“0”データが保持される。

【0068】時間 $t_7$ においては、制御回路10によりセンスアンプ8がオフ状態になり、プレート線PLがローレベルに設定される。

【0069】上述したように、上記構成による本実施の形態の第1の具体例の強誘電体記憶装置1aでは、ビット線BLと、ワード線WLと、プレート線PLと、前記ワード線WLに印加される電圧に応じて導通状態または非導通状態に保持されるトランジスタ6と、一方の電極が前記トランジスタに接続され、他方の電極が前記プレート線に接続された強誘電体キャパシタ5と、選択信号SSに応じて、前記強誘電体キャパシタに再書込み動作を行うまたは再書込み動作を行わない制御回路10とを設けたので、強誘電体キャパシタ5にデータを再書込みさせる、または再書込みさせない選択信号SSにより、読出したデータのフィードバックを行うか、行わないかを選択することができ、たとえば、再書込みさせない選択信号SSを入力することで、その選択信号SSが入力されてから1回だけデータを読出すと、そのデータが破壊され、2回目以降そのデータを読出すことができないという機能を実現することができる。

【0070】また、必要に応じて再書込みさせる、または再書込みさせない選択信号SSを入力することにより、強誘電体キャパシタ5の書換え回数を伸ばすことができる。

【0071】図5は、図1の半導体装置の実施の形態の第2の具体例の強誘電体記憶装置を示す図である。

【0072】強誘電体記憶装置1bは、図5に示すように、上述した第1の具体例とほぼ同じ構成をしている。相違点としてはトランジスタ7がなく、制御回路10が強誘電体キャパシタ5からデータを読出し、再書込みを行う動作が異なる。

【0073】第2の具体例の強誘電体記憶装置1bの各構成要素の説明は、第1の具体例の強誘電体記憶装置1aとほぼ同じなので省略する。

【0074】上述の構成の強誘電体記憶装置1bのデータの書込み動作の説明は、上述した第1の具体例の強誘電体記憶装置1aと同じなので省略する。

【0075】図6は、図5の強誘電体記憶装置の強誘電体キャパシタからデータを読出す場合のタイミングの一実施の形態を示す図である。

【0076】再書込みを行う場合には、選択信号SSがローレベルに設定されて制御回路10に入力される。

【0077】時間 $t_4$ までは、上述した第1の具体例の強誘電体記憶装置1aと同じ動作なので省略する。

【0078】時間 $t_5$ において、プレート線PLが基準電位に設定される。そして、“0”データが読出された場合には、ビット線BLが0Vであるので、強誘電体キャパシタ5には0Vのバイアスがかかる。そして、強誘電体キャパシタ5では、“0”データが記憶される。

【0079】“1”データが読出された場合には、ビット線BLが $V_{cc}$ に保持され、プレート線PLが0Vに設定されることにより、強誘電体キャパシタ5に“0”データが記憶される。

【0080】時間 $t_6$ において、ワード線WLがローレベルに設定されることにより、強誘電体キャパシタ5に記憶されたデータが保持される。

【0081】時間 $t_7$ において、制御回路10によりセンスアンプ8がオフ状態に設定され、ビット線BLが0Vの状態になる。

【0082】また、強誘電体キャパシタ5に読み出したデータを再書込みさせない場合には、選択信号SSがハイレベルに設定されて制御回路10に入力される。

【0083】そして、時間 $t_0$ ～時間 $t_4$ においては、制御回路10により上述した動作と同じ動作が行われる。

【0084】そして、時間 $t_5$ においては、制御回路10では、ハイレベルの選択信号SSが入力されると、プレート線PLが電圧 $V_{cc}$ のハイレベルに設定される。

【0085】強誘電体キャパシタ5では、“0”データが記憶されていた場合には、ビット線BLが0Vであ

り、プレート線PLが電圧 $V_{cc}$ に設定されているので、“0”データが記憶される。また、“1”データが記憶されていた場合には、ビット線BLが $V_{cc}$ であり、プレート線PLが $V_{cc}$ なので、強誘電体キャパシタ5にかかるバイアスは、0Vであり、“1”データが読出され破壊された状態、つまり“0”データが強誘電体キャパシタ5に記憶される。

【0086】時間 $t_6$ においては、ワード線WLがローレベルに設定され、強誘電体キャパシタ5に記憶されたデータが保持される。

【0087】時間 $t_7$ においては、制御回路10によりセンスアンプ8がオフ状態に設定され、ビット線BLが0Vになる。そして、プレート線PLがローレベルに設定される。そして、一連のデータの読出し動作および再書き込みまたは再書き込みを行わない動作が終了する。

【0088】上述したように、本実施の形態の第2の具体例においては、再書き込みを行わない場合には、第1の具体例の場合ではビット線BLを基準電位に設定したが、第2の具体例では、プレート線PLをハイレベルに設定することにより“1”データの再書き込みを行わないようにしている。上述のようにすることにより、強誘電体記憶装置1aの場合と同様に、再書き込みさせない選択信号SSを入力することで、その選択信号SSが入力されてから1回だけデータを読出すと、そのデータが破壊され、2回目以降そのデータを読出すことができないという機能を実現することができる。

【0089】また、必要に応じて再書き込みさせる、または再書き込みさせない選択信号を入力することにより、強誘電体キャパシタ5の書換え回数を伸ばすことができる。

【0090】また、再書き込みさせる選択信号SSを出力することにより、通常のFeRAMとして、プログラム等を記憶することも可能である。

【0091】次に、本発明の実施の形態の上述した半導体装置を複数個用いて構成された強誘電体記憶装置の一具体例を説明する。

【0092】図7は、図1の半導体装置を複数個用いて構成された強誘電体記憶装置の一具体例を示す図である。

【0093】強誘電体記憶装置1cは、たとえば、図7に示すように、センスアンプ8c、ダミーセル9c、制御回路10c、FeRAMセルアレイ11、ロウデコーダ12、プレートデコーダ13、およびカラムデコーダ14を有する。

【0094】センスアンプ8c、ダミーセル9c、制御回路10cは、上述した具体例と同様な機能を有する。

【0095】FeRAMセルアレイ11は、たとえば、上述した再書き込みおよび再書き込みしない動作が選択可能な半導体記憶装置1aを複数個、2次元に配列し、それぞれ連結したものである。たとえば、FeRAMセルア

レイ11は、具体的には、強誘電体記憶装置1aを複数個、2次元に配列し、それぞれを複数本のビット線BL、ワード線WL、およびプレート線PLで連結したものである。ここで、たとえば、1つの強誘電体記憶装置1aをセルとして用いる。

【0096】ロウデコーダ12は、たとえば、制御回路10cにより入力されたアドレス信号 $D_A$ に応じて、FeRAMセルアレイ11のワード線WLに接続された、上述した半導体装置のセルの行を指定する。

【0097】プレートデコーダ13は、たとえば、制御回路10cにより入力されたアドレス信号 $D_A$ に応じて、FeRAMセルアレイ11の複数のプレート線から、所望のプレート線を指定する。

【0098】カラムデコーダ14は、たとえば、制御回路10cにより入力されたアドレス信号 $D_A$ に応じて、FeRAMセルアレイ11のビット線に接続された、上述した半導体装置のセルの桁を指定する。

【0099】上述したように制御回路10cは、アドレス信号 $D_A$ に応じて、FeRAMセルアレイ11の中に構成されている複数のセルから1つのセルを指定し、データを書込み、読出し、再書き込みし、または再書き込みしない。

【0100】上述した構成の強誘電体記憶装置1cの動作は、上述した第1の具体例の強誘電体記憶装置1aの動作とほぼ同様であり、アドレス信号 $D_A$ 、制御信号CTL、および選択信号SSに応じてFeRAMセルアレイ11の指定されたセルの強誘電体キャパシタ5にデータが、書込、読出、および再書込、または再書込されない。

【0101】上述したように、上述の構成の強誘電体記憶装置1cでは、再書き込みおよび再書き込みしない動作が選択可能なセルを複数個設けたので、所定のビット長のデータを記憶することができ、選択信号SSに応じて、所定のビット長のデータを1回だけ読出して、そのデータが破壊されて、2回目以降そのデータを読出すことができないという機能を実現することができる。

【0102】また、再書き込みさせる選択信号SSが入力された場合には、通常の不揮発性メモリとして機能する。

【0103】また、必要に応じて再書き込みさせる、または再書き込みさせない選択信号SSを入力することにより、強誘電体キャパシタ5の書換え回数を伸ばすことができる。

【0104】図8は、図7の強誘電体記憶装置を含むICカードを用いたサービスシステムの一実施の形態を示す図である。

【0105】本実施の形態に係るサービスシステム100は、図8に示すように、ICカード20、端末装置30、およびホストコンピュータ40を有する。

【0106】サービスシステム100は、たとえば、商

品の購入金額に応じてポイントが加算され、ポイントに応じた特典を得ることができるサービスシステムである。

【0107】たとえば、ICカード20は、カード発行会社から発行および管理されて個人が携帯する特定の機能を有するICカードであり、上述のポイントが記憶される。

【0108】ICカード20は、CPU (Central Processing Unit) 21、通信インターフェイス (以後、I/Fとも言う) 22、ROM 23、RAM 24、FeRAM 25、およびバスBSを有する。

【0109】バスBSには、CPU 21、I/F 22、ROM 23、RAM 24、およびFeRAM 25が接続されている。

【0110】CPU 21は、端末装置30からのコマンド、あらかじめROM 23に設定されたコマンド、およびFeRAM 25に記憶されているアプリケーションプログラムや、VM (Virtual Machine) 等に従って、I/F 22を介して、端末装置30と、適宜通信を行いながら所望の処理を行う。たとえば、CPU 21は所定の処理により、FeRAM 25に、アドレス信号D<sub>A</sub>、制御信号CTL、および再書き込みさせる選択信号SSまたは再書き込みさせない選択信号SSを出力する。

【0111】I/F 22は、たとえば、ICカード20が端末装置30に装着された場合に、電力とクロックの供給を受けるとともに、端末装置30とデータの送受信を行う。すなわち、端末装置30から受信したデータをCPU 21に出力し、またCPU 21により入力された信号を端末装置30に送信する。

【0112】ROM 23には、たとえば、OSが記憶されており、ICカードのハードウェアに対応して設計され、そのハードウェア資源を管理し、たとえば、I/F 22を制御し端末装置30とデータの送受信を行う。

【0113】RAM 24は、たとえば、CPU 21によりアプリケーションプログラムやヴァーチャルマシン等が実行される際に、一時的に使用される作業エリアとして使用される。

【0114】FeRAM 25は、再書き込みまたは再書き込みしない動作が選択可能な、強誘電体キャパシタ5を有するメモリであり、たとえば、図7で示した強誘電体記憶装置1cである。FeRAM 25は、CPU 21から出力される、アドレス信号D<sub>A</sub>、書き込みおよび読出させる制御信号CTL、再書き込みまたは再書き込みさせない選択信号SSに応じて、指定されたアドレスのセルの強誘電体キャパシタ5に、データを書込み、読出し、再書き込み、または再書き込みしない。

【0115】端末装置30は、たとえば、ICカード発行会社や、サービスを提供する会社のホストコンピュータ40に、有線または無線等を用いてアクセスし、装着されたICカード20とホストコンピュータ40との間

の通信データを転送する。たとえば、端末装置30は、商品を販売する販売店に設置されている。

【0116】ホストコンピュータ40は、たとえば、ICカード20および端末装置30からの要求に応じて、アプリケーションプログラム等のデータを端末装置30を介してICカード20に送信する。たとえば、ホストコンピュータ40は、通信機能を有するパーソナルコンピュータであり、販売店の本社に設置されている。

【0117】次に、上記構成によるICカード20を用いたサービスシステム100の動作を図9を参照しながら、CPU 21の動作を中心に説明する。

【0118】図9は、図8の本実施の形態に係るサービスシステムの動作の一具体例を示すフローチャートである。

【0119】たとえば、ICカード20の所有者が商品を購入した際に、端末装置30にICカード20を装着することにより、ICカード20および端末装置30の双方で処理が開始され、まず、ICカード20と端末装置30の間で認証処理が行われる。

【0120】認証処理が終了して、ICカード20がICカード20のサービスシステム100で使用されているICカードである場合には、端末装置30から、ICカード20のカードIDを含むデータがホストコンピュータ40に送信される。

【0121】ホストコンピュータ40では、このカードIDを含むデータが受信され、ICカード20に対する処理が開始される。

【0122】たとえば、端末装置30に接続された不図示の入力装置を用いて入力された購入金額が、端末装置30を介してホストコンピュータ40に送信される。

【0123】ICカード20では、CPU 21により、FeRAM 25に記憶されているポイントのアドレスの強誘電体キャパシタ5に対して、フィードバックをオフにしておく、つまり、再書き込みさせない選択信号SSが出力される(ST1)。

【0124】そして、CPU 21により、ポイントが記憶されているFeRAM 25のアドレスが指定され、FeRAM 25の指定されたアドレスのデータが読出される(ST2)。そして、読出された獲得ポイントが端末装置30を介してホストコンピュータ40に送信される。また、端末装置30に接続された不図示の入力装置から、たとえば、店員により入力された購入金額が、端末装置30を介して、ホストコンピュータ40に送信される。

【0125】そして、ホストコンピュータ40では、不図示の顧客データベースからICカード20のカードIDに対応する獲得ポイントが読出され、受信された購入金額に応じたポイントが、獲得ポイントに加算される(ST3)。

【0126】ホストコンピュータ40から、その加算さ

れた獲得ポイントが、端末装置30を介してICカード20に送信される。

【0127】そして、ICカード20では、I/F22により、その獲得ポイントが受信されると、FeRAM25のアドレスが指定される。そして、CPU21から出力された書込み制御信号CTLに応じて、指定されたセルの強誘電体キャパシタに、その獲得ポイントが書込まれる(ST4)。

【0128】そして、所定の終了処理が行われ、ICカード20にポイントが再度書込まれる一連の動作が終了する。

【0129】このように、再書込みさせない選択信号SSをFeRAM25に出力して、ポイントデータを読み出し、加算されたポイントデータを書込むことで、従来の不揮発性メモリの場合には、データを読み出した際に再書込みし、さらに加算されたポイントデータを書込むことで、2回の書込み動作を行うのに対して、上述した本実施の形態の場合には、1回の書込み動作で済ませることができる。

【0130】以上説明したように、本実施の形態のサービスシステムでは、上述した再書込みさせるまたは再書込みさせない動作を選択可能なFeRAM25を含むICカード20、ICカード20に接続された端末装置30、およびホストコンピュータ40を設けたので、たとえば、フィードバックを不許可の状態读出す、つまり再書込みさせない選択信号SSを出力することにより、FeRAM25の強誘電体キャパシタの書換え回数を伸ばすことができる。

【0131】また、フィードバックを許可する、つまり、再書込みさせる選択信号SSを出力することにより通常のFeRAMとして使用することができる。

【0132】なお、本発明は本実施の形態に限られるものではなく、任意好適な種々の改変が可能である。たとえば、ICカード工場において、上述した構造のICカードを製造し、ICカードの製品のチェックを、ICカード内にあらかじめ記憶させた暗号鍵を用いて、情報処理装置とデータの送受信を行った後に、セキュリティのために、上述の暗号鍵を自動的に消去するようにしてもよい。

【0133】こうすることにより、ICカード内の暗号鍵が一度だけ利用でき、利用しなければ電源の供給が断たれた場合であってもその暗号鍵を保持することができる。

【0134】また、CPUやヴァーチャルマシンが実行可能なプログラムをフィードバックoffの状態で行うことで、1回だけ実行可能で、かつ実行後は自動的に消去される、つまり実行出来ない状態のプログラムとして利用することができる。

【0135】また、本実施の形態の強誘電体記憶装置およびシステムでは、1つのセルに、1つのトランジスタ

および1つの強誘電体キャパシタを用いた1T/1C型メモリセルを説明したが、この形態に限られるものではない。たとえば、2つのトランジスタおよび2つの強誘電体キャパシタを用いた2T/2C型メモリセルに、再書込みおよび再書込みしない動作が選択可能な機構を設けてもよい。

【0136】

【発明の効果】以上説明したように、本発明によれば、メモリに記憶されたデータを一度だけ読出した後に、自動的にそのデータを消去可能な半導体装置、強誘電体記憶装置、ICカード、ならびにそれを用いたシステムおよびその方法を提供することができる。

【0137】また、本発明によれば、強誘電体キャパシタの書き替え回数の寿命を伸ばすことができる半導体装置、強誘電体記憶装置、ICカード、ならびにそれを用いたシステムおよびその方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体装置を説明するための概略図である。

【図2】図1の半導体装置の実施の形態の第1の具体例の強誘電体記憶装置を示す図である。

【図3】図2の強誘電体キャパシタの分極電荷量Qの電圧特性の一例を示す図である。

【図4】図2の強誘電体記憶装置の強誘電体キャパシタからデータを読み出す場合のタイミングの一実施の形態を示す図である。

【図5】図1の半導体装置の実施の形態の第2の具体例の強誘電体記憶装置を示す図である。

【図6】図5の強誘電体記憶装置の強誘電体キャパシタからデータを読み出す場合のタイミングの一実施の形態を示す図である。

【図7】図1の半導体装置を複数個用いて構成された強誘電体記憶装置を構成した一具体例を示す図である。

【図8】図7の強誘電体記憶装置を含むICカードを用いたサービスシステムの一実施の形態を示す図である。

【図9】図8の本実施の形態のサービスシステムの動作の一具体例を示すフローチャートである。

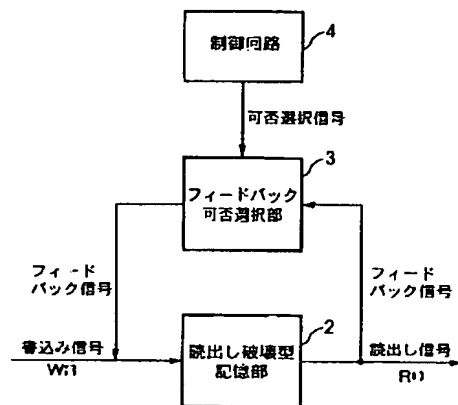
【符号の説明】

- 1…半導体装置
- 1a, 1c…強誘電体記憶装置
- 2…読み出し破壊型記憶部
- 3…フィードバック可否選択部
- 4…制御回路
- 5…強誘電体キャパシタ
- 6, 7…トランジスタ
- 8, 8c…センスアンプ
- 9, 9c…ダミーセル
- 10, 10c…制御回路
- 11…FeRAMセルアレイ
- 12…ロウデコーダ

13…プレートデコーダ  
 14…カラムデコーダ  
 20…ICカード  
 21…CPU  
 22…通信インターフェイス (I/F)  
 23…ROM  
 24…RAM  
 25…FeRAM

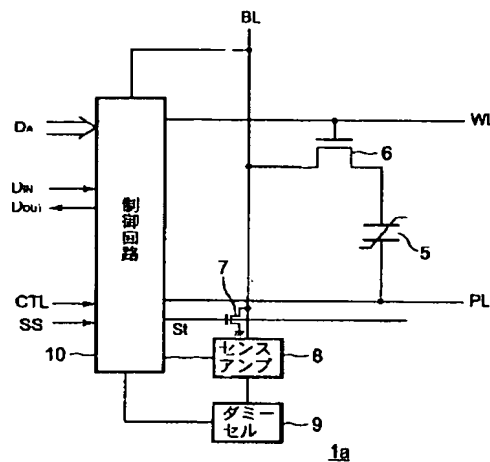
30…端末装置  
 40…ホストコンピュータ  
 100…サービスシステム  
 BL…ビット線  
 WL…ワード線  
 PL…プレート線  
 BS…バス

【図1】



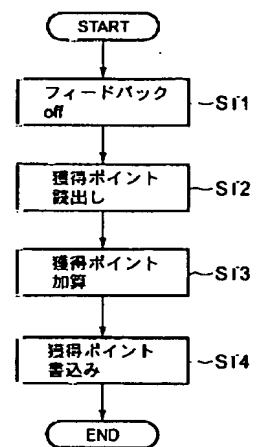
1

【図2】

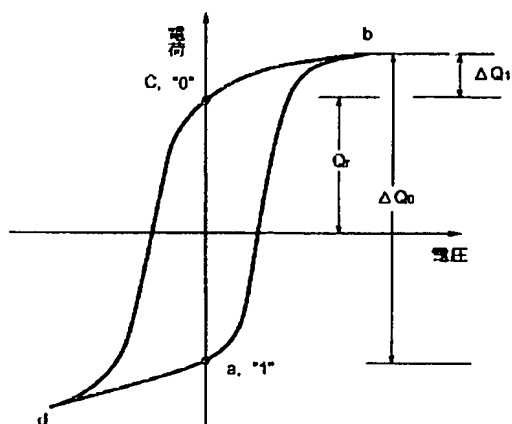


1a

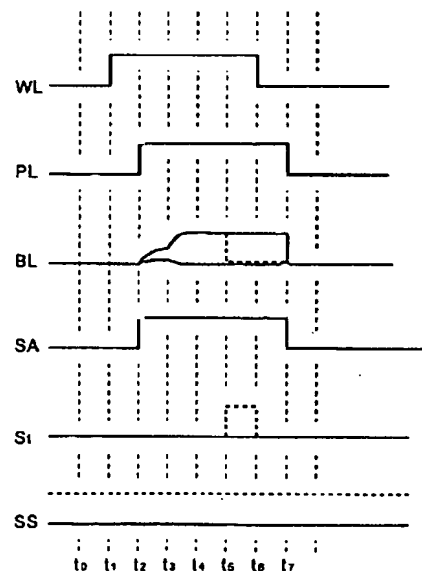
【図9】



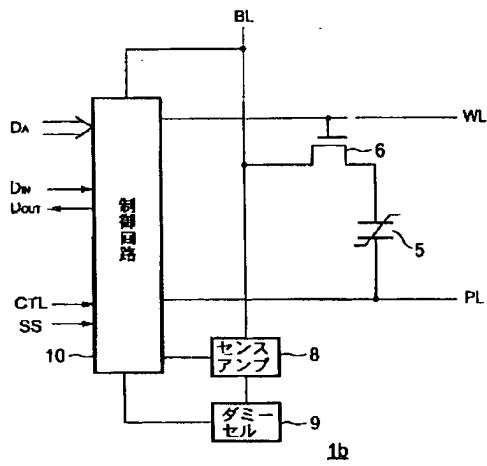
【図3】



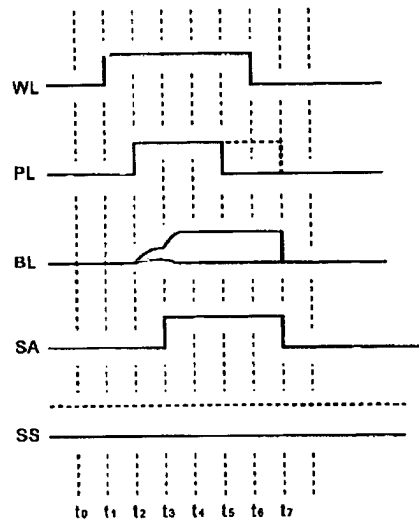
【図4】



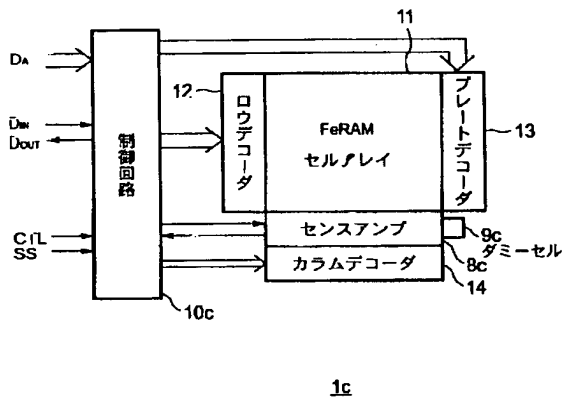
【図5】



【図6】



【図7】



【図8】

